

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-314897

(43)Date of publication of application : 14.11.2000

(51)Int.Cl.

G02F 1/1343
G02F 1/1365
G09F 9/30
G09F 9/35
H01L 29/786

(21)Application number : 11-125670

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.05.1999

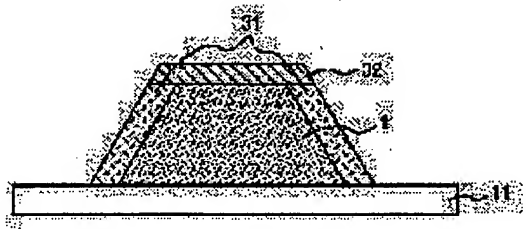
(72)Inventor : HARANO YUICHI
UKO KENJI
KIZAWA KENICHI
CHIYABARA KENICHI
KANEKO TOSHITERU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which prevents generation of a hillock by using a wiring composed of Al or an Al alloy as wiring for electrodes and TFTs in the liquid crystal display device.

SOLUTION: The liquid crystal display device is provided with a pair of substrates placed oppositely to each other and provided with electrodes at least on one of them, TFTs on one of the substrates having the electrodes, a liquid crystal layer held between a pair of the substrates and a pair of polarizing plates placed so as to hold the liquid crystal layer in between. In the liquid crystal display device, wiring 1 for electrodes and TFTs is composed of Al or an Al alloy, the upper layer 32 of the wiring is coated with a thin film of pure Cr or a Cr alloy, or of pure Mo or an Mo alloy and the side face of the wiring is coated with an alumina layer 31.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-314897

(P2000-314897A)

(43)公開日 平成12年11月14日(2000. 11. 14)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マ-ト*(参考) | |
|-------------------------------------|-------|----------------|------------|-----------|
| G 0 2 F 1/1343 | | G 0 2 F 1/1343 | 2 H 0 9 2 | |
| 1/1365 | | G 0 9 F 9/30 | 3 3 5 | 5 C 0 9 4 |
| G 0 9 F 9/30 | 3 3 5 | 9/35 | 3 3 0 | 5 F 1 1 0 |
| 9/35 | 3 3 0 | G 0 2 F 1/136 | 5 0 0 | |
| H 0 1 L 29/786 | | H 0 1 L 29/78 | 6 1 6 T | |
| 審査請求 未請求 請求項の数7 O L (全 12 頁) 最終頁に続く | | | | |

(21)出願番号 特願平11-125670

(22)出願日 平成11年5月6日(1999. 5. 6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 原野 雄一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 宇▲高▼ 健司

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 100061893

弁理士 高橋 明夫 (外1名)

最終頁に続く

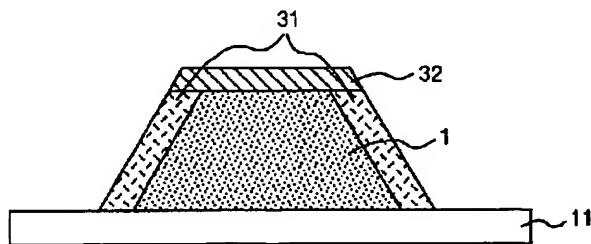
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】液晶表示装置の電極およびTFTの配線としてAlまたはAl合金の配線を用い、ヒロックの発生を抑制した液晶表示装置。

【解決手段】少なくとも一方の基板に電極を有し対向配置された一对の基板と、前記電極を有する基板の一方にTFTを有し、前記一对の基板間には液晶層が挟持され、該液晶層を挟むように配置された一对の偏光板を有する液晶表示装置であって、前記電極およびTFTの配線(1~4)がAlまたはAl合金であり、前記配線の上層(32)には純CrまたはCr合金、あるいは、純MoまたはMo合金の薄膜が被覆されており、前記配線の側面はアルミナ層(31)で被覆されている液晶表示装置にある。

図 1



1...ゲート配線 11...TFTガラス基板
31...アルミナ層 32...上層

【特許請求の範囲】

【請求項1】 少なくとも一方の基板に電極を有し対向配置された一对の基板と、前記電極を有する基板の一方にTFTを有し、前記一对の基板間には液晶層が挟持され、該液晶層を挟むように配置された一对の偏光板を有する液晶表示装置であって、前記電極およびTFTの配線がAlまたはAl合金であり、前記配線の上層には純CrまたはCr合金、あるいは、純MoまたはMo合金の薄膜が被覆されており、前記配線の側面はアルミナ層で被覆されていることを特徴とする液晶表示装置。

【請求項2】 少なくとも一方の基板に電極を有し対向配置された一对の基板と、前記電極を有する基板の一方にTFTを有し、前記一对の基板間には液晶層が挟持され、該液晶層を挟むように配置された一对の偏光板を有する液晶表示装置であって、前記電極およびTFTの配線がAlまたはAl合金であり、前記配線が下地層と上層を有し、これらの層が純CrまたはCr合金、あるいは、純MoまたはMo合金の薄膜で形成されており、前記配線の側面はアルミナ層で被覆されていることを特徴とする液晶表示装置。

【請求項3】 前記配線の側面に形成されたアルミナ層がベーマイト処理により形成されたアルミナ層である請求項1または2に記載の液晶表示装置。

【請求項4】 前記配線の断面形状が順テーパー形状を有する請求項1、2または3に記載の液晶表示装置。

【請求項5】 前記配線は、配線幅が下地層から上層に行くに従い狭くなる請求項2に記載の液晶表示装置。

【請求項6】 前記配線を構成するAl合金がTi、Ta、Nd、Y、La、Sm、Siの1種以上を0.1～1at%含む請求項1または2に記載の液晶表示装置。

【請求項7】 前記液晶表示装置が、横電界液晶駆動方式（横電界方式）である請求項1～6のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（TFT）によって駆動するアクティブマトリクス型液晶表示装置（TFT-LCD）に関する。

【0002】

【従来の技術】近年、TFT-LCDの画面の大型化、高精細化に伴ない、LCD素子の配線の低抵抗化、低応力化、あるいは、その加工性等の点において、ますますその要求が厳しくなりつつある。該LCD素子のゲート配線やデータ配線には、一般に金属膜が用いられているが、従来のAlのみやCrのみと云った単体材料では上記の全ての要求を満足できなくなっている。

【0003】

【発明が解決しようとする課題】TFT-LCDはブラウン管型表示装置に比べ薄型、軽量と云う特長を有するが、製造工程数が多く、かつ、複雑であるため製造歩留

りが低下し易く、コスト高と云う問題があった。

【0004】具体的には、TFT基板上に厚さ数百～数千Åのゲート配線、ゲート絶縁膜、半導体層、ソース配線、ドレイン配線、画素電極、対向電極、絶縁性保護膜等の複数の薄膜をホトリソグラフィで加工した構造を有しており、全域にわたるパターン加工精度の達成と、電極間の短絡や断線の発生を抑制することが難しいと云うことである。

【0005】また、画面の大型化・高精細化に伴う配線の基本的特性としては、表示ムラがないよう低抵抗であることが必要となるが、配線の抵抗は、その比抵抗に比例し、厚さに反比例するので、低比抵抗であればその配線を薄くできると云う利点がある。

【0006】Alは低比抵抗、かつ、低応力な材料ではあるが、融点が低いために配線形成後のCVDプロセスでの加熱処理によるヒロックが発生し、配線表面で短絡不良等が生じ易い。そのため、AlまたはAl合金を配線に使用する場合には、Alの表面に陽極酸化によるアルミナ膜を形成するか、あるいは、AlまたはAl合金配線の表面を他の金属で被覆（クラッド構造）するなどして、上記ヒロックの発生を抑制する方法がある。

【0007】しかし、前者の陽極酸化は、薬液中に基板を縦に挿入し、電流を流してAl表面に絶縁層を形成するもので、基板の大型化に伴ないスループットの面で非常に不利である。

【0008】こうしたヒロック発生を抑制するアルミナ膜の形成法であるベーマイト処理法としては、特開昭52-506871号、特開平6-236881号公報が挙げられるが、この方法を液晶表示装置のゲート配線に適用した場合、端子取出し部の形成にはホトリソグラフィ工程を用いて、絶縁膜であるアルミナ膜を除去しなければならず、スループットの面でやはり不利である。

【0009】一方、後者のクラッド構造にする方法では、AlまたはAl合金配線で1ホトリソグラフィ工程、他金属の被覆でさらに1ホトリソグラフィ工程の合計2回のホトリソグラフィ工程が必要となり、やはりスループットの面で不利である。

【0010】本発明の目的は、液晶表示装置の電極およびTFTの配線にAlまたはAl合金を用い、配線のヒロック等の発生を抑制し、端子取出し部でも同様の配線構造を有し、その配線が簡易な方法で形成できる液晶表示装置の提供にある。

【0011】

【課題を解決するための手段】前記目的を達成する本発明の要旨は次のとおりである。

【0012】〔1〕 少なくとも一方の基板に電極を有し対向配置された一对の基板と、前記電極を有する基板の一方にTFTを有し、前記一对の基板間には液晶層が挟持され、該液晶層を挟むように配置された一对の偏光板を有する液晶表示装置であって、前記電極およびTFT

Tの配線がAlまたはAl合金であり、前記配線の上層には純CrまたはCr合金、あるいは、純MoまたはMo合金の薄膜が被覆されており、前記配線の側面はアルミナ層で被覆されていることを特徴とする液晶表示装置。

【0013】〔2〕 少なくとも一方の基板に電極を有し対向配置された一对の基板と、前記電極を有する基板の一方にTFTを有し、前記一对の基板間には液晶層が挟持され、該液晶層を挟むように配置された一对の偏光板を有する液晶表示装置であって、前記電極およびTFTの配線がAlまたはAl合金であり、前記配線が下地層と上層を有し、これらの層が純CrまたはCr合金、あるいは、純MoまたはMo合金の薄膜で形成されており、前記配線の側面はアルミナ層で被覆されていることを特徴とする液晶表示装置。

【0014】〔3〕 前記配線の側面に形成されたアルミナ層がベーマイト処理により形成されたアルミナ層である前記の液晶表示装置。

【0015】〔4〕 前記配線の断面形状が順テーパー形状を有する前記の液晶表示装置。

【0016】〔5〕 前記配線は、配線幅が下地層から上層に行くに従い狭くなる前記〔2〕に記載の液晶表示装置。

【0017】〔6〕 前記配線を構成するAl合金がTi, Ta, Nd, Y, La, Sm, Siの1種以上を0.1~1at%含む前記の液晶表示装置。

【0018】〔7〕 前記液晶表示装置が、横電界液晶駆動方式（横電界方式）である前記の液晶表示装置。

【0019】

【発明の実施の形態】LCD素子の配線材料にAl配線の使用は、配線の低抵抗化を図る上で極めて優れていることは既述した。そして、本発明におけるAl配線のヒロック発生は、Al配線の上部に形成したAl以外の金属薄膜からなる上層と、Al配線の側面にベーマイト処理によって形成したアルミナ層により抑制することができる。

【0020】さらに、Al配線の端子部取り出しもAl配線の上部に形成した上層から容易に取り出すことができるので、従来の全表面にアルミナ層で被覆されたAl配線のように、端子取出し部の形成のためにホトリソグラフィ工程を施す必要が無く、Al配線の形成プロセスを簡易化できる。

【0021】図12は、一例として、上記ベーマイト処理法を用いて液晶ディスプレイのゲート配線を形成した場合の端子取出し部の模式断面図である。即ち、端子取出し部としては、ベーマイト処理法により形成されるゲート配線1のアルミナ膜31を、上面1aには形成しないことが必要である。もし、上面1aにもアルミナ膜31が形成されるとゲート配線1の端子取出し部の導通が不能になるために、アルミナ膜の除去が必要である。

【0022】図13、図14は、ベーマイト処理法による図12の配線構造のものを形成する従来の一般的な作製工程を示す図である。

【0023】図13では、(a)~(c)工程による配線形成後に、(d)工程で端子取出し部をフォトレジスト35で被覆し、(e)工程のベーマイト処理によるアルミナ膜31の形成後、(f)工程でフォトレジスト35を除去することにより完成する。

【0024】また、図14では、(d)工程でAl配線の表面全体をベーマイト処理しアルミナ膜31を形成後に、(e)工程では端子取出し部となる上面以外の側面をフォトレジスト35で被覆し、フォトレジスト35の無い上面のアルミナ膜31をエッチング後、(f)工程でフォトレジスト35を除去することで完成する。

【0025】上記のように図13、図14のいずれの工程でも図12の配線構造を形成することはできるが、後述の本発明の作製工程に比べ、工程数が多いと云う問題がある。

【0026】図1は、本発明のLCD素子の配線の模式断面図の一例である。端子取出し部を上記従来技術のように、特に形成する必要がない。

【0027】それは図1に示すようにAl配線に導電性の金属膜からなる上層32を設け、次に、ベーマイト処理することでアルミナ膜31は配線の側端面部のみに形成される。上層32は導電性の金属膜で形成されているので、前記図13、14の様な特別な端子取出し部を形成しなくとも導通可能である。

【0028】図15は、本発明の液晶表示装置の配線構造の作製工程の一例を示す図である。(a)~(c)工程によりAl膜34上に上層32となる上層金属膜36をスパッタで積層形成し、これをホットエッチしてゲート配線1を形成する。該ゲート配線1は(c)工程図のように上面に導電性の金属膜からなる上層32が形成されている。

【0029】次に、(d)工程でベーマイト処理することにより配線の側端面部のみにアルミナ膜31を形成し完成する。

【0030】図15から明らかなように、図13、14の方法に比べてそのプロセスが簡易である。

【0031】上記アルミナ膜を形成する他の手法として、例えば、陽極酸化法があるが、図のベーマイト処理部分が陽極酸化処理に替わるのみである。

【0032】本発明の上層32として適用した金属膜として、例えば、Cr合金またはMo合金の場合では、陽極酸化処理によりそれぞれCr酸化物、Mo酸化物となるが、これらはいずれも電氣的に導通するものであり、特別な端子部取出しのための工程は不要である。

【0033】次に、図3に示すような下地層33を形成した本発明の3層積層配線の場合について、図4の横電界液晶駆動方式（横電界方式）のLCDの模式断面図を

例に説明する。

【0034】AlもしくはAl合金により形成したデータ配線2、および、ドレイン配線3を、下地層33を形成せずにn型半導体〔n(+)-Si〕8上に配置すると、n(+)-SiのSiがAlに拡散する。この拡散を防ぐためAl配線の下層に下地層33を設けることで、n(+)-SiのAl中への拡散を防止することができ、電氣的に安定したデータ配線2、ドレイン配線3を形成することができる。

【0035】上記のように、Al積層配線を形成することでTFT-LCDの画面の大型化・高精細化に伴う配線の低抵抗化を容易に図ることができ、電極間ショート不良がなく、高歩留まりで液晶表示装置を提供することができる。次に、本発明を更に具体的な実施例により説明する。

【0036】〔実施例 1〕ターゲットサイズ：127mm×381mm、ターゲット組成：0.6at%のAl-Ndターゲットを用い、DCスパッタ法により、成膜条件、パワー：3kW、Ar圧力：0.3Pa、基板温度：120℃で、厚さ0.7mmのガラス基板上に3000ÅのAl-0.6at%Nd薄膜を形成した。

【0037】得られたAl-0.6at%Nd薄膜にホトリソグラフィ工程（ホトレジストを塗付し、マスクを用いて選択パターン露光後、パターン現像：この作業工程を以下、単にホト工程と云う）を行い、その後、混酸（リン酸、硝酸、酢酸および純水との混合液）を用いて40℃で選択エッチングを行い、ラインパターンを形成後、ベーマイト処理を施した。

【0038】ベーマイト処理は、80℃以上の純水または水蒸気にAlを曝すことで、Al表面を化成処理する方法である。これにより、Al-0.6at%Nd表面にアルミナ層の被膜を形成した。

【0039】図2は、Al配線のベーマイト処理時間（80℃の純水中への浸漬時間）と配線膜厚との関係を示すグラフである。ベーマイト処理時間2分未満ではAl表面にはバリアー型と呼ばれる非常に緻密な被膜が形成されるが、それ以上の処理時間では、ポーラス型と呼ばれる粗で表面凹凸の被膜となるため、急速に被膜が成長しその後飽和する。

【0040】そこで、ベーマイト処理時間を0, 60, 90, 120, 150および200秒と変えて、液晶表示装置の配線回路を形成した結果を実施例2～4に示す。

【0041】〔実施例 2〕横電界方式の液晶表示装置のゲート配線とコモン配線には上層（図1：2層積層構造）を、また、データ配線とソース配線には上層と下地層（図3：3層積層構造）とを積層した例を示す模式断面図である。なお、図1, 3のように、各積層膜の上辺が下辺より狭い順テーパ形状では、その配線上に形成する絶縁膜のカバレッジも良くなる。

【0042】図4は、横電界方式の液晶表示装置の模式断面図である。液晶表示素子はTFTガラス基板11の一方の表面にゲート配線1、データ配線2、ソース配線3、コモン配線4、アルミナ層31、上層32、下地層33、ゲート絶縁膜6、真性半導体7、N型半導体8、保護膜9、配向膜10を形成した。

【0043】これと対向して配置した対向ガラス基板12の一方の表面に、カラーフィルタ13、ブラックマトリクス14、対向基板保護膜15、対向基板配向膜16を形成した。

【0044】上記の一对の基板（11, 12）間に挟持された液晶層17と、該両基板の外側に設けた偏光板18、対向偏光板19とで液晶表示素子を構成した。

【0045】図5は、上記液晶表示装置の1画素と、その周辺部分の平面パターンを示す模式図である。画素を構成するゲート配線1、データ配線2、ソース配線3、コモン配線4、薄膜トランジスタ（TFT）21を示し、図4の模式断面図はA-A'断面を示したものである。但し、コモン配線4はゲート配線1と同一薄膜から、また、データ配線2とソース配線3は同一薄膜からそれぞれホト工程で加工したものである。

【0046】図6は、TFTガラス基板の製造工程の一例を示すフローチャートである。先ず、透明ガラス基板（TFTガラス基板11）の片側全面に、DCスパッタ法により厚さ3000ÅのAl-0.6at%Nd薄膜を形成（基板温度120℃、Ar圧力0.3Pa）する。

【0047】さらに上記Al薄膜上にDCスパッタ法により厚さ1000ÅのCr-18.8at%Mn薄膜を形成（基板温度120℃、Ar圧力0.3Pa）する。

【0048】上記により得られた（Cr-18.8at%Mn薄膜）／（Al-0.6at%Nd薄膜）からなる積層膜に、ホト工程により、まず、硝酸第2セリウムアンモニウム水溶液（15重量%、30℃）によってCr-18.8at%Mn薄膜の選択エッチングを行い、その後、混酸（リン酸、硝酸、酢酸および純水の混合液、40℃）を用いてAl-0.6at%Nd薄膜の選択エッチングを行い、Cr-18.8at%Mn薄膜を上層32とする図15（c）に示すようなゲート配線1およびコモン配線4のパターンを作製する。

【0049】次に、ベーマイト処理（80℃の純水中に浸漬）により、アルミナ層31をゲート配線1、コモン配線4の側面に露出しているAl-0.6at%Nd表面に図15（d）に示すようなアルミナ層31を形成する。

【0050】TFTガラス基板11上のゲート配線1およびコモン配線4のパターン上に、ゲート絶縁膜6（SiN、厚さ200nm）、真性半導体7（非晶質Si、厚さ200nm）、N型半導体8（非晶質Si、厚さ35nm）をプラズマCVD装置により、基板温度を30

0℃で連続成膜する。ここで、ホット工程を行い、真性半導体7、N型半導体8をドライエッチング(CCl₃とO₂の混合ガス使用)してパターン加工する。

【0051】続いてDCスパッタ法にて、厚さ1000ÅのCr-18.8at%Mo薄膜を形成(基板温度120℃、Ar圧力0.3Pa)する。その上にさらにDCスパッタ法にて、厚さ3000ÅのAl-0.6at%Nd薄膜を形成(基板温度120℃、Ar圧力0.3Pa)し、さらに、該Al-0.6at%Nd薄膜上にDCスパッタ法にて、厚さ1000ÅのCr-18.8at%Mo薄膜を形成(基板温度120℃、Ar圧力0.3Pa)した。

【0052】上記積層膜にホット工程を行い、まず、硝酸第2セリウムアンモニウム水溶液(15重量%、30℃)によってCr-18.8at%Moの選択エッチングを行い、その後混酸(リン酸:硝酸:酢酸:純水の混合液、40℃)でAl-0.6at%Ndの選択エッチングを行い、更に、硝酸第2セリウムアンモニウム水溶液(15重量%、30℃)によってCr-18.8at%Moの選択エッチングを行うことで、上層32と下地層33付きのデータ配線2、ソース配線3を形成した。

【0053】次に、これをベーマイト処理(80℃の純水に浸漬)し、アルミナ層31を露出しているAl-0.6at%Nd薄膜の側面に形成(図3参照)した。さらに、プラズマCVD装置を用いて保護膜9(SiN、厚さ500nm)を形成した。

【0054】以上のようにして作製した液晶表示装置について、ゲート配線とデータ配線間の絶縁不良素子数をベーマイト処理時間との関係を調べた結果を表1に示す。

【0055】

【表1】

表 1

| ベーマイト処理 (秒) | 作製LCD数 | 絶縁不良LCD数 |
|----------------|--------|----------|
| 0 | 10 | 4 |
| 30 | 10 | 2 |
| 60 | 10 | 0 |
| 90 | 10 | 0 |
| 120 | 10 | 3 |
| 150 | 10 | 7 |
| 200 | 10 | 10 |

【0056】表1から分かるように、ベーマイト処理時間30～120秒の範囲で不良パネル数が低減しており、特に、60～90秒では、配線側面に形成した緻密なアルミナ層がヒロックの発生を抑制し、ゲート配線上のゲート絶縁膜の絶縁特性が良好なため、ゲート配線とデータ配線間のショートに基づく絶縁不良パネルの発生は認められない。

【0057】一方、ベーマイト処理しないもの(処理時間0秒)は、配線側面にアルミナ層が無いためにヒロックの発生を抑制できず、絶縁不良パネルが発生した。また、ベーマイト処理時間120秒以上では、配線側面のアルミナ層がポーラス型と呼ばれる粗で表面凹凸の激しい被膜となるため、ゲート配線上のゲート絶縁膜が劣化し、絶縁不良パネルが多発した。

【0058】〔実施例 3〕コモンレス横電界方式の液晶表示装置のゲート配線に上層(図1参照)を、また、データ配線とソース配線に上層と下地層(図3参照)とを形成した例を示す。

【0059】また、図7に本実施例の液晶表示装置の模式断面図を示すが、前記実施例2と同じく図4と同様の構成のものを作製した。

【0060】図8は、作製した液晶表示装置の1画素とその周辺部分の平面パターンを示す模式図である。画素を構成するゲート配線1、データ配線2、ソース配線3、薄膜トランジスタ(TFT)21を示し、図7の模式断面図はA-A'断面を示したものである。但し、データ配線2とソース配線3は同一薄膜からホット工程により加工したものである。

【0061】TFTガラス基板の製造工程はコモン配線を形成しない以外は図6と同様である。

【0062】以上のようにして作製した液晶表示装置について、ゲート配線とデータ配線間の絶縁不良数とベーマイト処理時間との関係を調べ結果を表2に示した。

【0063】

【表2】

表 2

| ベーマイト処理 (秒) | 作製LCD数 | 絶縁不良LCD数 |
|----------------|--------|----------|
| 0 | 10 | 3 |
| 30 | 10 | 1 |
| 60 | 10 | 0 |
| 90 | 10 | 0 |
| 120 | 10 | 3 |
| 150 | 10 | 6 |
| 200 | 10 | 10 |

【0064】表2から分かるように、ベーマイト処理時間30～120秒の範囲で不良素子が低減し、特に、60～90秒では配線側面に形成された緻密なアルミナ層がヒロックの発生を抑制して、ゲート配線上のゲート絶縁膜の絶縁特性が良好なため、ゲート配線とデータ配線間のショートによる絶縁不良が無くなる。

【0065】一方、ベーマイト処理無し(処理時間0秒)では配線側面にアルミナ層が無いためにヒロックの発生を抑制できず絶縁不良が発生した。また、ベーマイト処理時間120秒以上ではポーラス型と呼ばれる粗で表面凹凸の激しい被膜となるため、ゲート配線上のゲート

ト絶縁膜が劣化し、絶縁不良素子が多発した。

【0066】〔実施例 4〕縦電界液晶駆動方式（縦電界方式）の液晶表示装置のゲート配線に上層（図1参照）を、また、データ配線とソース配線に上層と下地層（図3参照）を形成した例を示す。

【0067】図9は本実施例の縦電界方式の液晶表示装置の模式断面図である。液晶表示素子はTFTガラス基板11の一方の表面にゲート配線1、データ配線2、ソース配線3、アルミナ層31、上層32、下地層33、遮光膜22、透明画素電極23、ゲート絶縁膜6、真性半導体7、N型半導体8、保護膜9、配向膜10を形成し、これと対向する対向ガラス基板12の一方の表面に共通透明電極24、カラーフィルタ13、ブラックマトリクス14、対向基板保護膜15、対向基板配向膜16を形成した。

【0068】上記一対のガラス基板（11、12）間に挟持された液晶層17、および、偏光板18と対向偏光板19で縦電界方式の液晶表示装置を構成した。

【0069】図10は、作製した縦電界方式の液晶表示装置の1画素とその周辺部分の平面パターンを示す模式図で、画素の構成するゲート配線1、データ配線2、ソース配線3、透明画素電極23、薄膜トランジスタ（TFT）21を示し、図9は図10のA-A'断面を示したものである。但し、データ配線2とソース配線3は同一薄膜からホット加工したものである。

【0070】図11は、本実施例のTFTガラス基板の製造工程を示すフロー図である。まず、透明ガラス基板（TFTガラス基板11）の片側全面上に、DCスパッタ法にて、厚さ3000ÅのAl-0.6at%Nd薄膜を形成（基板温度120℃、Ar圧力0.3Pa）する。さらに、Al-0.6at%Nd薄膜上にDCスパッタ法にて、厚さ1000ÅのCr-18.8at%M薄膜を形成（基板温度120℃、Ar圧力0.3Pa）する。

【0071】上記の積層膜にホット工程を行い、まず、硝酸第2セリウムアンモニウム水溶液（15重量%、30℃）によってCr-18.8at%Mの選択エッチングを行い、その後、混酸（リン酸、硝酸、酢酸および純水の混合液、40℃）でAl-0.6at%Nd薄膜の選択エッチングを行い、上層32を形成したゲート配線1、遮光膜22のパターンを作製する。

【0072】次に、ベーマイト処理（80℃の純水中に浸漬）し、アルミナ層31をゲート配線1、遮光膜22の側面の露出したAl-0.6at%Nd薄膜表面に形成する。

【0073】次に、TFTガラス基板11上のゲート配線1パターンの上に、ゲート絶縁膜6（SiN、厚さ200nm）、真性半導体7（非晶質Si、厚さ200nm）、N型半導体8（非晶質Si、厚さ35nm）をプラズマCVD装置で、基板温度を300℃として連続成

膜する。次いで、ホット工程を行い、真性半導体7、N型半導体8をドライエッチング（CCl₃とO₂の混合ガス使用）してパターン加工する。

【0074】次いでDCスパッタ法にて、厚さ1000ÅのCr-18.8at%M薄膜を形成（基板温度120℃、Ar圧力0.3Pa）する。その上にDCスパッタ法により厚さ3000ÅのAl-0.6at%Nd薄膜を形成（基板温度120℃、Ar圧力0.3Pa）し、更にAl-0.6at%Nd薄膜上にDCスパッタ法により、厚さ1000ÅのCr-18.8at%M薄膜を形成（基板温度120℃、Ar圧力0.3Pa）した。

【0075】上記の積層膜にホット工程を行い、まず、硝酸第2セリウムアンモニウム水溶液（15重量%、30℃）を用いてCr-18.8at%M薄膜の選択エッチングを行い、その後、混酸（リン酸、硝酸、酢酸、純水の混合液、40℃）を用いてAl-0.6at%Nd薄膜の選択エッチングを行い、硝酸第2セリウムアンモニウム水溶液（15重量%、30℃）でCr-18.8at%M薄膜の選択エッチングを行い、上層32および下地層33付きのデータ配線2、ソース配線3のパターンを形成した。

【0076】次に、ベーマイト処理（80℃の純水中に浸漬）して、アルミナ層31をデータ配線2、ソース配線3のAl-0.6at%Nd薄膜の側面に形成する。さらに、プラズマCVD装置を用いて保護膜9（SiN、厚さ500nm）を作製する。

【0077】次にITO（Indium Tin Oxide）をDCスパッタで膜厚150nm成膜し、ホット工程を行い、ITO膜をウェットエッチング（HBr）で透明画素電極23を形成した。

【0078】以上により作成した液晶表示装置について、ゲート配線とデータ配線間の絶縁不良数とベーマイト処理時間との関係を調べた結果を表3に示した。

【0079】

【表3】

表 3

| ベーマイト処理 (秒) | 作製LCD数 | 絶縁不良LCD数 |
|----------------|--------|----------|
| 0 | 10 | 2 |
| 30 | 10 | 1 |
| 60 | 10 | 0 |
| 90 | 10 | 0 |
| 120 | 10 | 1 |
| 150 | 10 | 6 |
| 200 | 10 | 10 |

【0080】表3から分かるように、ベーマイト処理時間30～120秒では、不良素子数が低減し、特に、60～90秒では配線側面に形成された緻密なアルミナ層

表 4

がヒロックの発生を抑制し、ゲート配線上のゲート絶縁膜の絶縁特性が良好なため、ゲート配線とデータ配線間のショートによる絶縁不良素子は全く認められなかった。

【0081】一方、ベーマイト処理無し（処理時間0秒）では、配線側面にアルミナ層が無いため、ヒロックの発生を抑制できず、絶縁不良素子の発生が認められる。また、ベーマイト処理時間120秒以上ではポーラス型と呼ばれる粗で表面凹凸の激しい被膜となるため、ゲート配線上のゲート絶縁膜が劣化し、絶縁不良素子が多発した。

【0082】〔実施例 5〕Al合金ターゲットを使用し、DCマグネトロンスパッタ法により、厚さ0.7mmのガラス基板上に、厚さ300nmの2元系Al合金膜を基板温度120℃で作製した。このAl合金膜の比抵抗を四端子針法により測定した。

【0083】測定したTi、Ta、Nd、Y、La、Sm、Si元素の含有量を不純物濃度(at%)とし、比抵抗値($\mu\Omega\text{cm}$)との関係を図16に示す。熱処理無しのAl合金膜の比抵抗は、上記不純物元素の濃度に依存し、比抵抗値を $8\mu\Omega\text{cm}$ 以下にするには、1.0at%以下にすればよいことが分かる。

【0084】実施例2～4では、ゲート配線1、データ配線2、ソース配線3と、実施例2のコモン配線4には、Al合金配線としてAl-0.6at%Ndを使用した。

【0085】これに対し、表4に示す合金組成のものをを用いて、実施例2と同様の構成で作製したAl合金配線素子の評価結果を表4に示す。また、実施例3、4においても表4のAl合金配線を用い、ほぼ同様の結果が得られた。なお、本実施例では、ベーマイト処理時間を60秒に統一した。

【0086】

【表4】

| No. | Al配線の組成 | 作製LCD数 | 絶縁不良LCD数 |
|-----|-------------|--------|----------|
| 1 | 純Al | 10 | 3 |
| 2 | Al-0.6at%Ti | 10 | 0 |
| 3 | Al-0.6at%Ta | 10 | 0 |
| 4 | Al-0.6at%Y | 10 | 0 |
| 5 | Al-0.6at%La | 10 | 0 |
| 6 | Al-0.6at%Sm | 10 | 0 |
| 7 | Al-0.6at%Pr | 10 | 0 |
| 8 | Al-0.6at%Gd | 10 | 0 |
| 9 | Al-0.6at%Dy | 10 | 0 |
| 10 | Al-0.6at%Ho | 10 | 0 |
| 11 | Al-0.6at%Er | 10 | 0 |
| 12 | Al-0.6at%Yb | 10 | 0 |
| 13 | Al-0.6at%Ce | 10 | 0 |
| 14 | Al-0.6at%Eu | 10 | 0 |
| 15 | Al-0.6at%Tb | 10 | 0 |
| 16 | Al-0.6at%Tm | 10 | 0 |
| 17 | Al-0.6at%Lu | 10 | 0 |

【0087】実施例2～4で用いた上層32、下地層33の金属膜で構成でも、同様の効果が得られた。

【0088】また、上層32および下地層33にCr-18.8at%Moを適用したが、他の金属膜の実施例として純Cr、Crを主体とするCr-Ti、Cr-Nb、Cr-Ta、Cr-W、Cr-Zr、Cr-Hf、Cr-V、Cr-Y、Cr-Ni、Cr-Cu、Cr-La、Cr-Pr、Cr-Nd、Cr-Gd、Cr-Dy、Cr-Ho、Cr-Er、Cr-Ybでも、ほぼ同様の結果が得られた。

【0089】また、純Mo、Moを主体とするMo-Ti、Mo-Nb、Mo-Ta、Mo-Cr、Mo-W、Mo-Zr、Mo-Hf、Mo-V、Mo-Y、Mo-Ni、Mo-Cu、Mo-La、Mo-Pr、Mo-Nd、Mo-Gd、Mo-Dy、Mo-Ho、Mo-Er、Mo-Ybでも、ほぼ同様の結果が得られた。

【0090】

【発明の効果】本発明により、低抵抗配線であるAlまたはAl合金配線のヒロック発生を、配線の上層に形成した金属薄膜と、配線側面に形成したアルミナ層とで抑制することができる。

【0091】また、AlまたはAl合金の配線の上層の金属膜が低抵抗膜であることから、端子取出し部として十分に機能するので、従来のような端子取出し部形成のためのホト工程の必要が無く、プロセスが簡易となる。従って、電極間のショート等が無い液晶表示装置を高歩留まりで安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の配線の一実施例を示す模式断面図である。

【図2】ペーマイト処理時間とA1配線膜厚との関係を示すグラフである。

【図3】本発明の液晶表示装置の配線の一実施例を示す模式断面図である。

【図4】本発明による横電界方式の液晶表示装置の一実施例を示す模式断面図である。

【図5】本発明による横電界方式の液晶表示装置の画素の模式平面図である。

【図6】本発明による横電界方式の液晶表示装置の薄膜トランジスタの製造工程の一例を示すフロー図である。

【図7】本発明によるコモンレス横電界方式の液晶表示装置の一実施例を示す模式断面図である。

【図8】本発明によるコモンレス横電界方式の液晶表示装置の画素の模式平面図である。

【図9】本発明による縦電界方式の液晶表示装置の一実施例を示す模式断面図である。

【図10】本発明による縦電界方式の液晶表示装置の画素の模式平面図である。

【図11】本発明による縦電界方式の液晶表示装置の薄膜トランジスタの製造工程の一例を示すフロー図である。

【図12】従来法によるゲート配線の端子取出し部の模式断面図である。

【図13】従来法によるゲート配線の端子取出し部の作製工程図である。

【図14】従来法によるゲート配線の端子取出し部の作製工程図である。

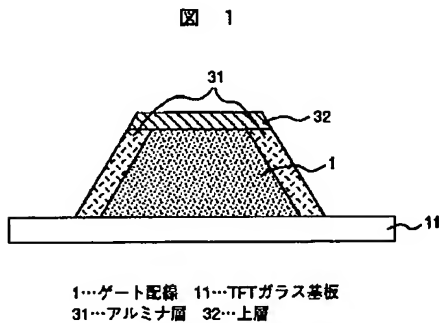
【図15】本発明によるゲート配線の端子取出し部の作製工程図である。

【図16】A1合金薄膜の不純物添加量と比抵抗値との関係を示すグラフである。

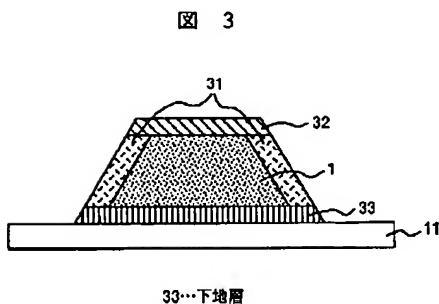
【符号の説明】

1…ゲート配線、2…データ配線、3…ソース配線、4…コモン配線、6…ゲート絶縁膜、7…真性半導体、8…N型半導体、9…保護膜、10…配向膜、11…TFTガラス基板、12…対向ガラス基板、13…カラーフィルタ、14…ブラックマトリクス、15…対向基板保護膜、16…対向基板配向膜、17…液晶層、18…偏光板、19…対向偏光板、21…薄膜トランジスタ、22…遮光膜、23…透明画素電極、24…共通透明電極、31…アルミナ層、32…上層、33…下地層、34…A1膜、35…レジスト、36…上層金属膜。

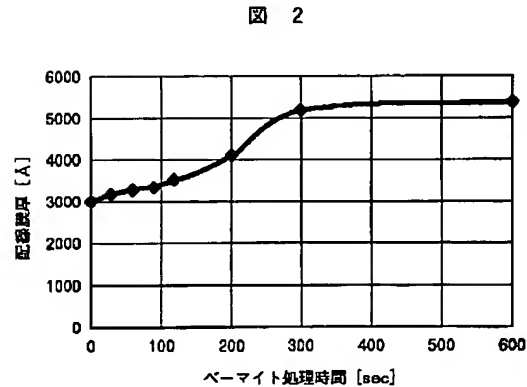
【図1】



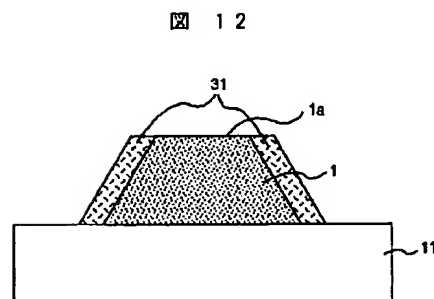
【図3】



【図2】

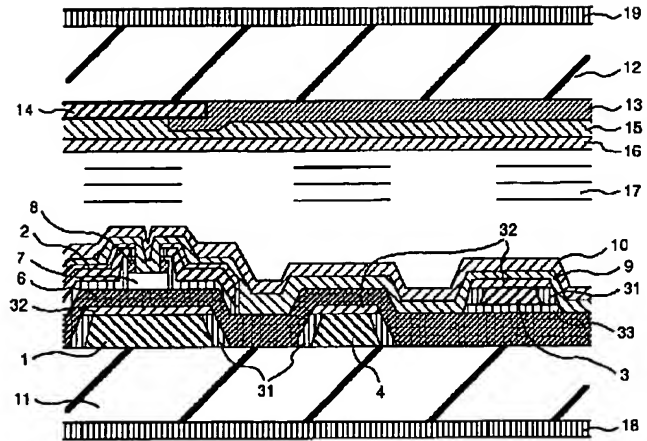


【図12】



【図4】

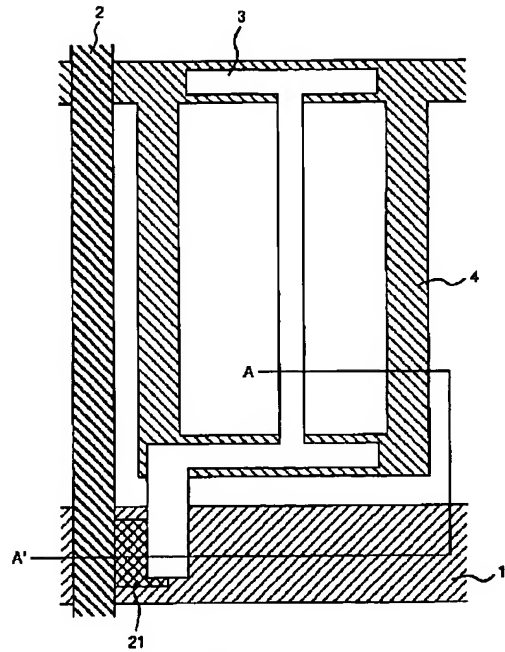
図 4



2...データ配線 3...ソース配線 4...コモン配線 5...ゲート絶縁膜 7...真性半導体 8...N型半導体
9...保護膜 10...配向膜 12...対向ガラス基板 13...カラーフィルタ 14...ブラックマトリクス
15...対向基板保護膜 16...対向基板配向膜 17...液晶層 18...偏光板 19...対向偏光板

【図5】

図 5



21...薄膜トランジスタ

【図6】

図 6

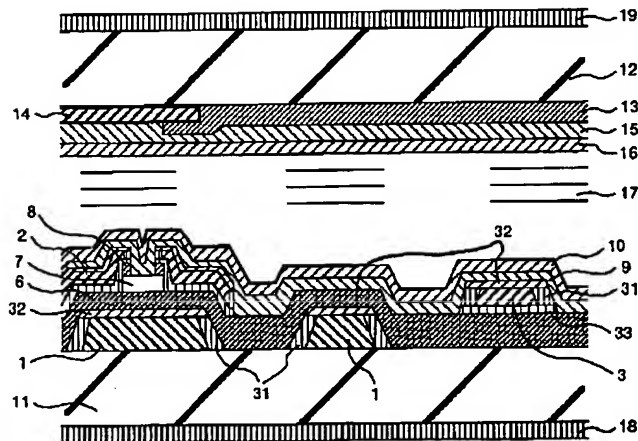


(工程の流れ)

- ・Al膜スパッタ (ゲート、コモン配線)
- ・Cr膜スパッタ (ゲート、コモン配線地上層)
- ・ホト (ゲート配線及びコモン配線用)
- ・Cr膜エッチング
- ・Al膜エッチング
- ・ペーマイト処理
- ・ゲート絶縁膜 SiN CVD
- ・真性半導体 a-Si 膜 CVD
- ・n型半導体 a-Si 膜 CVD (3層連続CVD)
- ・ホト (半導体膜用)
- ・半導体 a-Si 膜エッチング
- ・Cr膜スパッタ (データ、ソース配線下地層)
- ・Al膜スパッタ (データ、ソース配線)
- ・Cr膜スパッタ (データ、ソース配線地上層)
- ・ホト (データ配線及びソース配線用)
- ・Cr膜エッチング
- ・Al膜エッチング
- ・Cr膜エッチング
- ・ペーマイト処理
- ・保護膜 SiN CVD

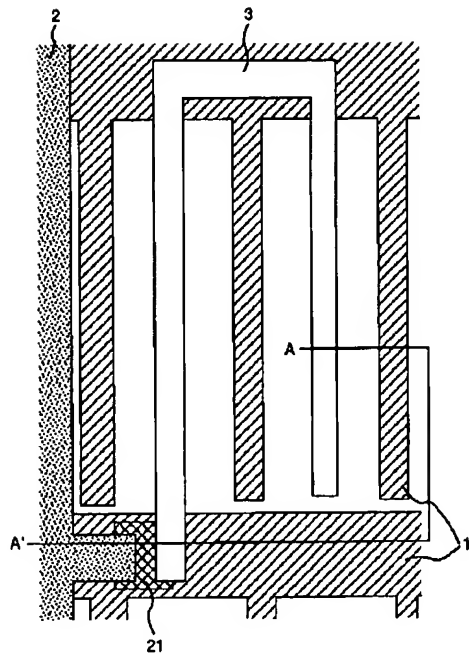
【図7】

図 7



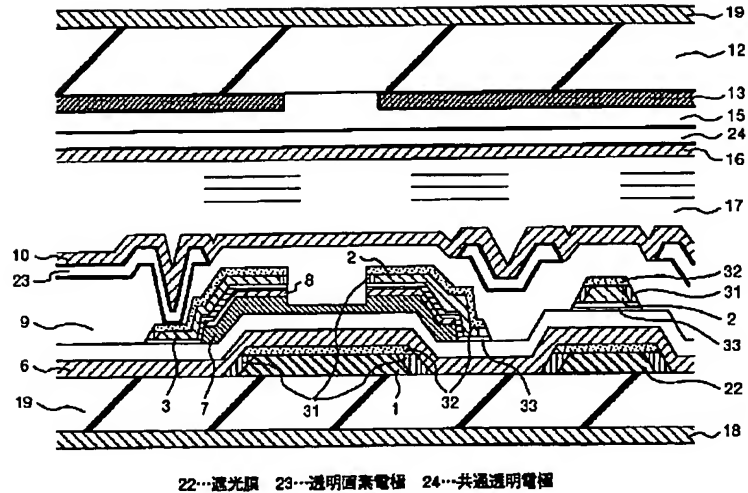
【図8】

図 8



【図9】

図 9

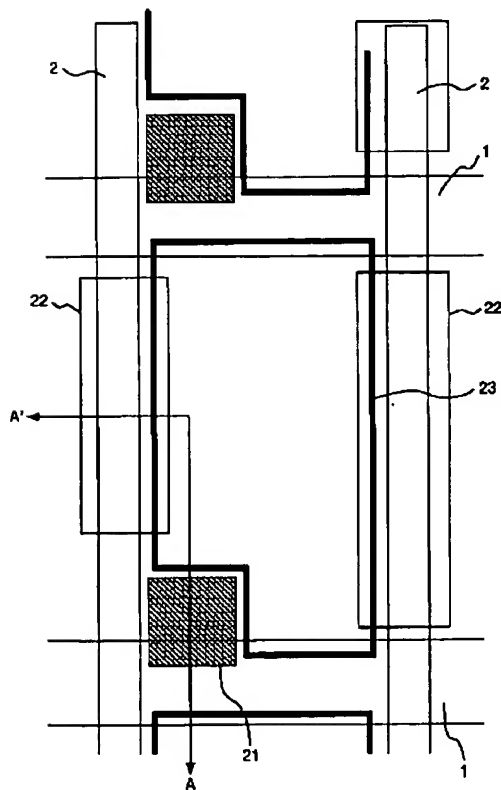


【図11】

図 11

【図10】

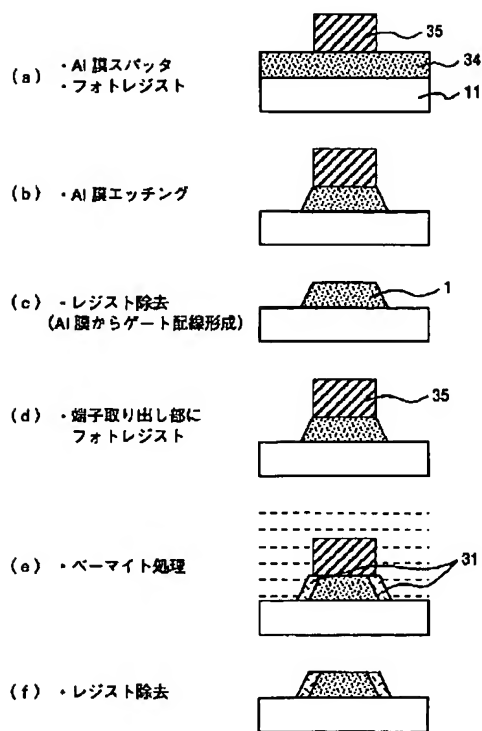
図 10



- ・Al膜スパッタ (ゲート、コモン配線)
- ・Cr膜スパッタ (ゲート、コモン配線地上層)
- ・ホト (ゲート配線、透光膜下反射膜)
- ・Cr膜エッチング
- ・Al膜エッチング
- ・パーマイト処理
- ・ゲート絶縁膜 SiN CVD
- ・真性半導体 a-Si 膜 CVD
- ・n型半導体 a-Si 膜 CVD
- ・ホト (半導体膜用)
- ・半導体 a-Si 膜エッチング
- ・Cr膜スパッタ (データ、ソース配線下地層)
- ・Al膜スパッタ (データ、ソース配線)
- ・Cr膜スパッタ (データ、ソース配線地上層)
- ・ホト (データ配線及びソース配線用)
- ・Cr膜エッチング
- ・Al膜エッチング
- ・Cr膜エッチング
- ・パーマイト処理
- ・保護膜 SiN CVD
- ・ホト (保護膜用)
- ・保護膜SiNエッチング
- ・透明画素電極 ITO 膜スパッタ
- ・ホト (透明画素電極 ITO 膜用)
- ・画素電極 ITO 膜エッチング

【図13】

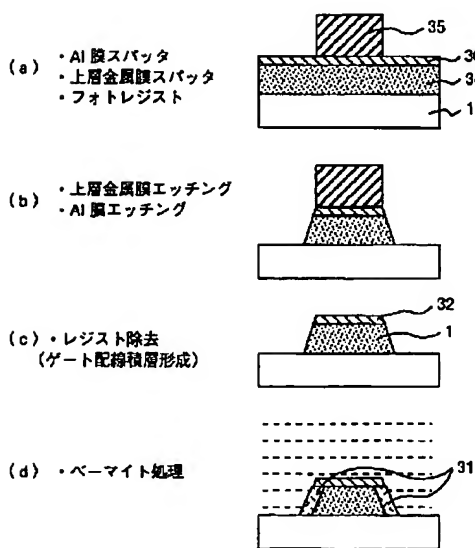
図 13



34...Al 膜 35...レジスト

【図15】

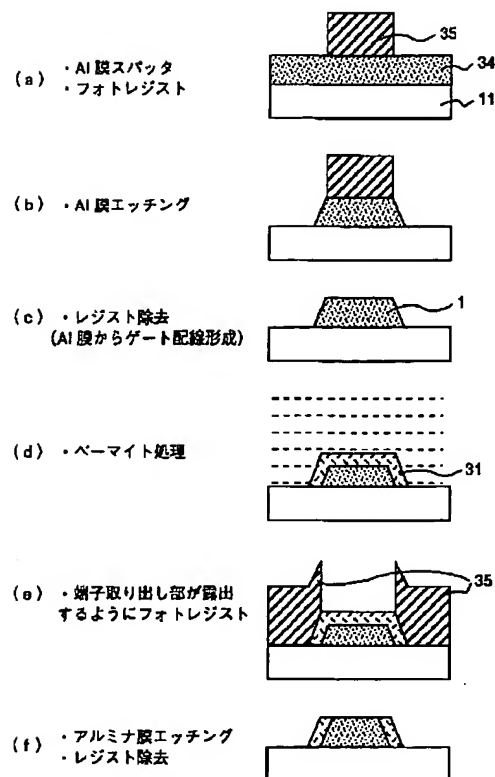
図 15



36...上層金属膜

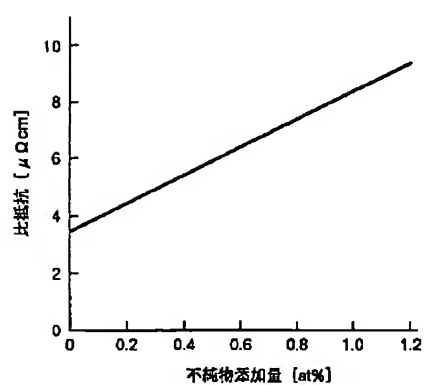
【図14】

図 14



【図16】

図 16



フロントページの続き

| (51)Int.Cl. ⁷ | 識別記号 | F I | キーワード (参考) |
|---|------|--|-------------------------------|
| | | H 01 L 29/78 | 6 1 6 U 6 1 7 K 6 1 7 L |
| (72)発明者 鬼沢 賢一 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内 | | F ターム (参考) 2H092 GA13 GA17 HA06 JA24 JA40 KA05 KA18 KB04 MA05 MA08 MA15 MA17 MA19 MA22 NA16 NA27 NA28 NA29 PA08 PA09 PA11 5C094 AA42 AA43 BA03 BA43 CA19 DA14 DA15 DB04 EA04 EA05 EA07 EB02 EB05 ED02 ED14 FB12 FB14 5F110 AA16 DD02 EE03 EE04 EE06 EE14 EE22 EE23 EE31 EE32 EE44 EE48 FF03 FF30 GG02 GG15 GG25 GG35 GG45 HK03 HK06 HK22 HK33 HK42 HM02 HM03 NN04 NN24 NN35 QQ05 QQ09 | |
| (72)発明者 茶原 健一 茨城県日立市大みか町七丁目1番1号 株 式会社日立製作所日立研究所内 | | | |
| (72)発明者 金子 寿輝 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内 | | | |